

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-135114
(P2002-135114A)

(43)公開日 平成14年5月10日(2002.5.10)

(51)Int.Cl. ⁷	識別記号	F I	キーワード*(参考)
H 0 3 L	7/099	H 0 3 K 3/354	B 5 J 1 0 6
	7/083	H 0 3 L 7/08	F
// H 0 3 K	3/354	7/10	F

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21)出願番号 特願2000-324173(P2000-324173)

(22)出願日 平成12年10月24日(2000.10.24)

(71)出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 田中 久陽

東京都品川区東五反田3丁目14番13号 株式会社ソニーコンピュータサイエンス研究所内

(72)発明者 長谷川 晃朗

岐阜県岐阜市則武137-1 プリシェールにしき202号室

(74)代理人 100094053

弁理士 佐藤 隆久

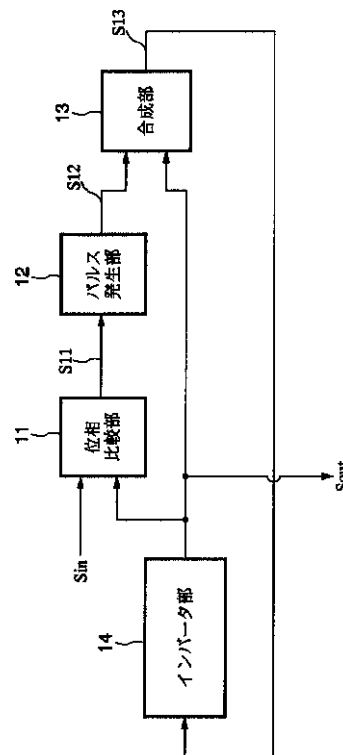
最終頁に続く

(54)【発明の名称】 位相同期回路およびこれを用いた発振装置

(57)【要約】

【課題】論理回路のみによる簡易な構成を有した位相同期回路およびこれを用いた発振装置を提供する。

【解決手段】少なくとも1つの合成部13とインバータ部14とがリング状に接続された構成を有し、任意の接続ノードから発振信号が出力可能なリング発振回路において、パルス発生部12により発生されたパルス信号と前段のノードからの発振信号とが合成部13により合成されて次段に出力される。また、前段のノードから合成部13に入力される発振信号が同期信号に対して有する位相進みまたは位相遅れが位相比較部11によって検出され、この検出時点に同期したパルス信号がパルス発生部12によって発生されて、合成部13に入力される。このリング発振回路に印加されるパルス信号によって位相の引き込みが生じ、リング発振回路による発振信号の位相は同期信号の位相と同期する。



【特許請求の範囲】

【請求項 1】 少なくとも一つの同期信号を受けて、当該同期信号に位相が同期した少なくとも一つの発振信号を生成する位相同期回路であって、少なくとも一つのインバータと少なくとも一つの合成回路とがリング状に接続され、任意の接続ノードから上記発振信号が出力可能で、かつ、上記合成回路は、入力したパルス信号と前段のノードからの発振信号とを合成して次段のノードに出力するリング発振回路と、上記合成回路に入力される前段のノードからの発振信号が上記同期信号に対して有する位相進みまたは位相遅れを検出し、当該位相進みまたは位相遅れの検出時点に同期して発生したパルス信号を当該合成回路に入力する、少なくとも一つのパルス入力回路とを有する位相同期回路。

【請求項 2】 上記パルス入力回路は、少なくとも一つの上記同期信号に対する上記発振信号の位相進みまたは位相遅れを検出する位相検出回路と、上記位相検出回路による上記位相進みまたは位相遅れの検出時点に同期して、少なくとも一つの上記パルス信号を発生するパルス発生回路とを含む、請求項 1 に記載の位相同期回路。

【請求項 3】 上記リング発振回路は、所定の遅延特性を有した複数の上記インバータ回路を含む、請求項 1 に記載の位相同期回路。

【請求項 4】 上記リング発振回路は、発振周波数の変更を指示する信号に応じて、上記インバータの段数を変更する、請求項 1 に記載の位相同期回路。

【請求項 5】 少なくとも一つの同期信号を受けて、当該同期信号に位相が同期した少なくとも一つの発振信号を生成する複数の位相同期回路を含み、それぞれの上記位相同期回路により生成された上記発振信号を、上記同期信号として他の位相同期回路に入力する発振装置であって、

上記位相検出回路は、少なくとも一つのインバータと少なくとも一つの合成回路とがリング状に接続され、任意の接続ノードから上記発振信号が出力可能で、かつ、上記合成回路は、入力したパルス信号と前段のノードからの発振信号とを合成して次段のノードに出力するリング発振回路と、上記合成回路に入力される前段のノードからの発振信号が上記同期信号に対して有する位相進みまたは位相遅れを検出し、当該位相進みまたは位相遅れの検出時点に同期して発生したパルス信号を当該合成回路に入力する、少なくとも一つのパルス入力回路とを有する発振装置。

【請求項 6】 上記パルス入力回路は、少なくとも一つの上記同期信号に対する上記発振信号の位相進みまたは位相遅れを検出する位相検出回路と、上記位相検出回路による上記位相進みまたは位相遅れの

検出時点に同期して、少なくとも一つの上記パルス信号を発生するパルス発生回路とを含む、請求項 5 に記載の発振装置。

【請求項 7】 上記リング発振回路は、所定の遅延特性を有した複数の上記インバータ回路を含む、請求項 5 に記載の発振装置。

【請求項 8】 上記リング発振回路は、発振周波数の変更を指示する信号に応じて、上記インバータの段数を変更する、請求項 5 に記載の発振装置。

【請求項 9】 上記複数の位相同期回路は、回路網の接続変更を指示する信号に応じて、上記発振信号の出力ラインと上記同期信号の入力ラインとの接続を変更する、請求項 5 に記載の発振装置。

【請求項 10】 上記複数の位相同期回路は、上記発振信号の出力ラインと上記同期信号の入力ラインとの間における接続配線の長さが等しくなるように配置される、請求項 5 に記載の発振装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力信号に同期した出力信号を生成する位相同期回路およびこれを用いた発振装置に係り、例えば、FPGA (Field Programmable Gate Array) などにおいて論理ゲートにより構成される位相同期回路およびこれを用いた発振装置に関するものである。

【0002】

【従来の技術】従来の位相同期ループ (Phase Locked Loop : PLL) 回路は、大別してアナログ型とデジタル型に分けられる。まず、これらのPLL回路について図面を参照しながら説明する。

【0003】図20は、従来のアナログ型PLL回路の構成例を示す概略的な図である。図20に示すPLL回路は、位相比較器1、ループフィルタ2、およびVCO (Voltage Controlled Oscillator) 3を有している。位相比較器1は、入力信号 S_{in} とVCO3からの帰還信号 S_{out} との位相を比較し、比較結果に応じた信号 (例えばハイレベルまたはローレベルの2値信号) をループフィルタ2に入力する。ループフィルタ2は、位相比較器1からの信号に含まれる高周波成分を所定のフィルタ特性で減衰させたアナログの電圧をVCO3に入力する。VCO3は、ループフィルタ2からのアナログ電圧に応じた発振周波数を有する帰還信号 S_{out} を生成し、これを位相比較器1に入力する。

【0004】入力信号 S_{in} と帰還信号 S_{out} の位相の比較結果に応じて、ループフィルタ2からのアナログ電圧が変化し、これに応じて帰還信号 S_{out} の周波数も変化する。入力信号 S_{in} と帰還信号 S_{out} との位相差が増大した場合、これを減少させる方向に帰還信号 S_{out} の周波数が変化することによって、入力信号 S

i_n に位相が同期された帰還信号 S_{out} が得られる。

【0005】図21は、従来のデジタル型PLL回路の構成例を示す概略的な図である。図21に示すPLL回路は、位相比較器4、量子化部5、シーケンシャル・ループフィルタ6、固定発振器7、パルス挿入除去部8、および分周器9を有している。位相比較器4は、入力信号 S_{in} と分周器9からの帰還信号 S_{out} との位相を比較し、比較結果に応じた信号を量子化部5に入力する。量子化部5は、位相比較器4からの信号を所定の量子化クロック信号で量子化し、位相の進みまたは遅れに応じた2つの信号を発生してシーケンシャル・ループフィルタ6に入力する。

【0006】シーケンシャル・ループフィルタ6は、量子化部5において発生された2つの信号の発生確率を所定の確率特性に変換するデジタル・フィルタであり、位相の進みまたは遅れに応じた2つの信号を生成してパルス挿入除去部8に出力する。

【0007】入力信号 S_{in} に雑音が含まれていない理想状態の場合、入力信号 S_{in} と帰還信号 S_{out} との位相誤差がゼロの近傍において、位相の進みまたは遅れに応じた2つの信号の発生確率は0から1の間で急峻に変化するが、入力信号 S_{in} に雑音が含まれている場合、2つの信号の発生確率は0.5付近で緩やかに変化する特性となる。シーケンシャル・ループフィルタ6は、この発生確率の特性を理想状態に近づけるためのものである。例えば、初期値 N を有するカウンタの計数値を、2つの信号の入力に応じてアップまたはダウンさせ、カウンタの計数値が0または $2N$ に達した時点で位相の進みまたは遅れに応じた信号を出力し、カウンタの計数値を初期化する動作を反復する。

【0008】パルス挿入除去部8は、シーケンシャル・ループフィルタ6からの信号に応じて、固定発振器7のクロック信号に対しパルスの挿入または除去を行い、これにより生成した信号を分周器9に入力する。分周器9は、パルス挿入除去部8からの信号を所定の分周比で分周した帰還信号 S_{out} を生成し、これを位相比較器4に入力する。

【0009】入力信号 S_{in} と帰還信号 S_{out} の位相の比較結果に応じて、固定発振器7からのクロック信号に対してパルスの挿入または除去が行われ、これに応じて、分周器9から出力される帰還信号 S_{out} の周波数が増大した場合、これを減少させる方向に帰還信号 S_{out} の周波数が増大することによって、入力信号 S_{in} に位相が同期された帰還信号 S_{out} が得られる。

【0010】また、上述したPLL回路やリング発振回路などを半導体チップ上の集積回路に複数分散させ、これらのPLL回路や発振回路の発振出力を同期させることにより、位相の同期したクロック信号を半導体チップ上の集積回路に分配する方式が、例えば文献1”Proce-

dings of the 1998 IEEE International Solid-State Circuits Conference 404(1998)”、文献2”公開特許公報 特開2000-78004”、および文献3”Proceedings of the 2000 IEEE International Solid-State Circuits Conference 174(2000)”などにおいて記載されている。次に、これらの方式について図面を参照しながら説明する。

【0011】図22は、半導体チップ上の集積回路に複数分散されたリング発振回路によりクロック信号を分配する従来の方式を説明するための図である。図22においては、格子状に配線されたパターンとの交点におけるノード $N20$ に、互いに等しい発振周波数を有するリング発振回路20が接続されている様子が示されている。

【0012】リング発振回路20は、奇数個のインバータがリング状に接続された構成を有する回路であり、その発振周波数は個々のインバータの遅延特性とインバータの段数に応じて決まる。

【0013】一般にリング発振回路に代表される発振回路は、その自走周波数と十分に近い周波数を有する外部からの参照信号に対して、自らの発振位相を追従させる能力（引き込み能力）を内在していることが知られている。例えば図22のように、リング発振回路20の出力を直接配線によって接続することにより、複数のリング発振回路20の発振信号の位相を同期させることができる。特に、発振周波数等の特性が揃ったリング発振回路20を、出力ラインの配線長が互いに等しくなるように対称に接続することによって、それぞれのリング発振回路20の位相を一致させることが可能である。したがって、これらのリング発振回路20の出力ラインから、位相の揃ったクロック信号を集積回路の各部に供給することができる。

【0014】図23は、半導体チップ上の集積回路に複数分散されたPLL回路によりクロック信号を分配する従来の方式を説明するための図である。図23においては、半導体チップ200の境界内に、上述したアナログ型PLL回路を構成する位相比較器30と、ループフィルタおよびVCOを含む回路40とが分散して配置されている様子が示されている。位相比較器30は、半導体チップ200を複数の小回路ブロックに分割する境界20の上に対称に配置されている。なお、PLL回路を除く他の集積回路については表示が省略されている。

【0015】各小回路ブロックに配置されたループフィルタおよびVCOを含む回路40は、境界20の上に配置された4つの位相比較器30から比較結果の信号を受けており、これらの信号の合成信号をループフィルタで平滑することによって、VCOの制御電圧を生成させている。この制御電圧により周波数を調節されたVCOの発振出力は、4つの位相比較器30に出力されて、隣り合う他の小回路ブロックに配置された回路40からの発振出力と位相を比較される。

【0016】このように、複数のPLL回路の発振出力を他の複数のPLL回路の基準信号として入力することによっても、上述した位相の引き込みを起こして、複数のPLL回路の発振出力の位相を同期させることができる。

【0017】

【発明が解決しようとする課題】ところで、一般にアナログ型のPLL回路はデジタル型のPLL回路に比べて動作の信頼度と安定度が劣っている問題がある。これは、デジタル型のPLL回路の場合、回路の素子定数のばらつきや温度変動によって生じる信号レベルの変動が論理回路のしきい値を越えない限り、出力結果に影響を与えないのに対して、アナログ型のPLL回路の場合、上述したばらつきや温度変動に応じて信号レベルが変化し、出力結果に影響を与えることによる。

【0018】また、アナログ型のPLL回路はデジタル型のPLL回路に比べて回路の集積化に不向きであり、量産性に劣っているという問題もある。さらに、デジタル化されていない回路は設計の自動化やソフトウェア化が難しいため、一般に開発期間が長くなり、また設計データの変更や流用がデジタル化された回路に比べて難しいという問題がある。

【0019】加えて、回路をデジタル化することにより、例えばFPGAなどのように回路をソフトウェアに応じて自由に修正可能な市販のデバイスによって回路を構成できる。これにより、例えばシステムの起動中に、ソフトウェアに応じて回路の構成を動的に変化させるような動作も可能になる。一方、回路がデジタル化されていない場合、このような動作を実現させることは困難である。

【0020】こうした問題は、アナログ回路がデジタル回路との比較において有している一般的な問題である。近年では、半導体集積回路の微細化と高速化にともなって、従来であればアナログ回路によって構成されていた回路がデジタル化される傾向にある。

【0021】一方、上述した文献1～文献3ならびに図22および図23において示したクロック信号の分配方式では、いずれも回路中にアナログ回路を含んでいる。例えば図22に示したクロック信号の分配方式においては、リング発振回路20の出力どうしが直接接続されているため、これを論理回路として論理式に記述することはできない。図23においても同様にアナログ回路を含んでいるため、論理式により回路を記述することができない。したがって、通常の論理回路のシミュレーションを行うことができず、回路動作の検証が困難になるほか、FPGAなどのようなデバイス上で回路を構成することができない。

【0022】そこで、例えば図23に示すPLL回路を図21に示すようなデジタル型のPLL回路で構成することも可能ではあるが、従来のデジタル型のPLL回路

は、量子化部5やシーケンシャル・ループフィルタ6、パルス挿入除去部8、固定発振器7などの回路ブロックを含んだ複雑な構成を有しているため、これらの回路が半導体チップ上に多数構成されることによって集積回路全体の回路規模を大きくなり、消費電力の増大やコストの上昇を招いてしまう問題がある。

【0023】本発明はかかる事情に鑑みてなされたものであり、その目的は、論理回路のみによる簡易な構成によって、入力同期信号に位相が同期した発振信号を生成できる位相同期回路およびこれを用いた発振装置を提供することにある。

【0024】

【課題を解決するための手段】上記の目的を達成するため、本発明の位相同期回路は、少なくとも一つの同期信号を受けて、当該同期信号に位相が同期した少なくとも一つの発振信号を生成する位相同期回路であって、少なくとも1つのインバータと少なくとも1つの合成回路とがリング状に接続され、任意の接続ノードから上記発振信号が出力可能で、かつ、上記合成回路は、入力したパルス信号と前段のノードからの発振信号とを合成して次段のノードに出力するリング発振回路と、上記合成回路に入力される前段のノードからの発振信号が上記同期信号に対して有する位相進みまたは位相遅れを検出し、当該位相進みまたは位相遅れの検出時点に同期して発生したパルス信号を当該合成回路に入力する、少なくとも一つのパルス入力回路とを有する。

【0025】本発明の位相同期回路によれば、上記リング発振回路において、少なくとも1つの上記インバータと少なくとも1つの上記合成回路とがリング状に接続されることにより、任意の接続ノードから上記発振信号が出力可能となる。上記パルス入力回路においては、上記合成回路に入力される前段のノードからの発振信号が上記同期信号に対して有する位相進みまたは位相遅れが検出され、当該位相進みまたは位相遅れの検出時点に同期して発生したパルス信号が、当該合成回路に入力される。また上記合成回路においては、上記パルス入力回路から入力したパルス信号と前段のノードからの発振信号とが合成されて、次段のノードに出力される。これによりリング発振回路による位相の引き込みが生じて、上記同期信号と上記発振信号との位相が同期される。

【0026】本発明の発振装置は、少なくとも一つの同期信号を受けて、当該同期信号に位相が同期した少なくとも一つの発振信号を生成する複数の位相同期回路を含み、それぞれの上記位相同期回路により生成された上記発振信号を、上記同期信号として他の位相同期回路に入力する発振装置であって、上記位相検出回路は、少なくとも一つのインバータと少なくとも一つの合成回路とがリング状に接続され、任意の接続ノードから上記発振信号が出力可能で、かつ、上記合成回路は、入力したパルス信号と前段のノードからの発振信号とを合成して次段

のノードに出力するリング発振回路と、上記合成回路に
入力される前段のノードからの発振信号が上記同期信号
に対して有する位相進みまたは位相遅れを検出し、当該
位相進みまたは位相遅れの検出時点に同期して発生した
パルス信号を当該合成回路にする、少なくとも一つの
パルス入力回路とを有する。

【0027】本発明の発振装置によれば、上記位相同期
回路の上記リング発振回路において、少なくとも一つの
上記インバータと少なくとも一つの上記合成回路とがリ
ング状に接続されることにより、任意の接続ノードから
上記発振信号が出力可能となる。上記パルス入力回路に
おいては、上記合成回路に入力される前段のノードから
の発振信号が上記同期信号に対して有する位相進みまた
は位相遅れが検出され、当該位相進みまたは位相遅れの
検出時点に同期して発生したパルス信号が、当該合成回
路に入力される。また上記合成回路において、上記パ
ルス入力回路から入力したパルス信号と前段のノードから
の発振信号とが合成されて、次段のノードに出力される。これにより、上記リング発振回路による位相の引き
込みが生じて、上記同期信号と上記発振信号との位相が
同期される。さらに、それぞれの上記位相同期回路によ
り生成された上記発振信号が、上記同期信号として他の
位相同期回路に入力されることによって、複数の上記位
相同期回路による発振信号の位相が互いに同期される。

【0028】

【発明の実施の形態】以下、図面を参照しながら、本発
明の実施形態について説明する。

<第1の実施形態>図1は、本発明に係る位相同期回路
の第1の実施形態を説明するための概略的な構成図であ
る。図1に示す位相同期回路は、位相比較部11、パル
ス発生部12、合成部13およびインバータ部14を有
する。なお、位相比較部11およびパルス発生部12か
らなるブロックは、本発明のパルス入力回路の一実施
形態である。位相比較部11は、本発明の位相検出回路
の一実施形態である。パルス発生部12は、本発明のパ
ルス発生回路の一実施形態である。合成部13およびイン
バータ部14からなるブロックは、本発明のリング発振
回路の一実施形態である。合成部13は、本発明の合成
回路の一実施形態である。インバータ部14は、本発明
のインバータの一実施形態である。

【0029】位相比較部11は、入力の同期信号S_{in}
とインバータ部14からの発振信号S_{out}との位相を
比較し、これらの位相が不一致である場合、位相の不
一致を知らせる信号S₁₁を生成してパルス発生部12に
出力する。

【0030】パルス発生部12は、位相比較部11にお
いて生成された位相の不一致を知らせる信号S₁₁の入
力時点に同期して、回路の発振周期に比べて十分短いパ
ルス幅のパルス信号S₁₂を生成し、これを合成部13
に入力する。

【0031】合成部13は、パルス発生部12において
生成されるパルス信号S₁₂、およびインバータ部14
から出力される発振信号S_{out}を入力し、これらの信
号を合成した合成信号S₁₃を生成して、これをインバ
ータ部14に出力する。

【0032】インバータ部14は、合成部13から入力
した合成信号S₁₃の論理レベルを反転させた信号に、
所定の遅延を与えて生成した発振信号S_{out}を、位相
比較部11および合成部13に出力する。

【0033】図2は、図1に示した位相同期回路の各部
を具体例を示す回路図である。図2に示す位相同期回
路は、EXOR回路110、パルス発生回路120、OR
回路130、インバータ141~インバータ14m (m
は1より大きい整数を示す)を有する。なお、EXOR
回路110およびパルス発生部120からなるブロック
は、本発明のパルス入力回路の一実施形態である。EX
OR回路110は、本発明の位相検出回路の一実施形態
である。パルス発生回路120は、本発明のパルス発生
回路の一実施形態である。OR回路130およびインバ
ータ141~インバータ14mからなるブロックは、本
発明のリング発振回路の一実施形態である。OR回路1
30は、本発明の合成回路の一実施形態である。インバ
ータ141~インバータ14mは、本発明のインバータ
の一実施形態である。

【0034】EXOR回路110は、入力の同期信号S_{in}
とインバータ14mからの発振信号S_{out}との排
他的論理和を演算し、演算結果S₁₁をパルス発生部1
20に出力する。すなわち、同期信号S_{in}と発振信号
S_{out}との論理レベルが不一致である場合に論理値”
1”を出力し、一致する場合に論理値”0”を出力す
る。

【0035】パルス発生回路120は、EXOR回路1
10からの出力が論理値”0”から論理値”1”に立ち
上がる時点に同期してパルス幅の短いパルス信号S₁₂
を生成し、これをOR回路130に出力する。図4は、
パルス発生回路120の構成を示す回路図である。図4
に示すパルス発生回路120においては、EXOR回路
110からの出力信号S₁₁と、この信号S₁₁がイン
バータ12aにおいて反転された信号との論理積がAN
D回路12bにおいて演算され、この演算結果がパルス
信号S₁₂として出力される。

【0036】信号S₁₁が論理値”0”から論理値”
1”に立ち上がった場合、この変化に応じてインバータ
12aの出力が論理値”1”から論理値”0”に変化す
るまでの遅延期間において、AND回路12bの2
つの入力には論理値”1”が入力され、パルス信号S₁₂
は論理値”1”となる。信号S₁₁が論理値”1”か
ら論理値”0”に立ち下がる場合には、インバータ12
aの遅延期間にかかわらず、パルス信号S₁₂は論理
値”0”のままである。すなわち図4のパルス発生回路

120によって、インバータ12aの遅延時間に応じた短いパルス幅のパルス信号S12が、信号S11の立ち上がり時に同期して生成される。

【0037】OR回路130は、パルス発生回路120において生成されるパルス信号S12と、インバータ14mから出力される発振信号Soutとの論理和を演算し、演算結果の合成信号S13をインバータ141に出力する。

【0038】インバータ141～インバータ14mは、OR回路130から入力した合成信号S13の論理レベルを反転させた信号に、所定の遅延を与えて生成した発振信号Soutを、EXOR回路110およびOR回路130に出力する。図3は、インバータ141～インバータ14mの例を示す図である。図3aは通常のインバータを示しており、図3bは一方の端子に論理値“1”を与えたEXOR回路110によるインバータを示している。

【0039】次に、上述した構成を有する位相同期回路の動作について説明する。本発明の位相同期回路は、リング発振回路の上述した引き込み能力を利用するものである。すなわち、OR回路130を介してリング状に接続されたインバータ141～インバータ14mにより形成されるリング発振回路の自走発振周波数と十分近い周波数を有する同期信号Sinを入力し、この同期信号Sinとリング発振回路の発振信号Soutとの位相を比較して、比較結果に応じたタイミングでパルス信号S12を発生する。このパルス信号S12をOR回路130によってリング発振回路に印加することにより、リング発振回路の発振信号Soutの位相は同期信号Sinに追従してシフトし、数サイクルの発振周期を経た後に、同期信号Sinの位相と同期した状態で安定する。

【0040】図5は、同期信号Sinの位相が発振信号Soutに対して遅れている場合の動作を説明する波形図である。図5a～図5cの縦軸は各波形の電圧振幅を示し、横軸は時間を示す。また、図5a～図5cによって発振信号Soutの3周期における各波形の変化を示しており、図5aは時刻0～時刻T、図5bは時刻T～時刻2T、図5cは時刻2T～時刻3Tにおける各波形をそれぞれ示している。

【0041】発振信号Soutがローレベルからハイレベルに立ち上がると（時刻t1）、EXOR回路110によって発振信号Soutと同期信号Sinのレベルの不一致が検出されて、出力信号S11がローレベルからハイレベルに立ち上がる。この立ち上がりエッジに同期して、パルス発生回路120によりパルス信号S12が生成される（時刻t2）。これに遅れて同期信号Sinがローレベルからハイレベルに立ち上がると（時刻t3）、発振信号Soutと同期信号Sinのレベルが一致して、信号S11はローレベルになる。

【0042】次いで、発振信号Soutがハイレベルか

らローレベルに立ち下がると（時刻t4）、EXOR回路110によって発振信号Soutと同期信号Sinのレベルの不一致が検出されて、出力信号S11がローレベルからハイレベルに立ち上がる。この立ち上がりエッジに同期して、パルス発生回路120によりパルス信号S12が生成される（時刻t5）。

【0043】次の2周期目（図5b）において発振信号Soutがローレベルからハイレベルに立ち上がると（時刻t6）、EXOR回路110によって発振信号Soutと同期信号Sinのレベルの不一致が検出されて、出力信号S11がローレベルからハイレベルに立ち上がる。この立ち上がりエッジに同期して、パルス発生回路120によりパルス信号S12が生成される（時刻t7）。これに遅れて同期信号Sinがローレベルからハイレベルに立ち上がると（時刻t8）、発振信号Soutと同期信号Sinのレベルが一致して、信号S11はローレベルになる。

【0044】この後、前の周期の時刻t4から時刻Tに相当する位相において発振信号Soutのパルス幅が延長され、時刻2Tにローレベルへ立ち下がる。これは、時刻t5に生成されたパルス信号S12によって発振信号Soutが位相の後退を生じたためである。一方、時刻t2に生成されたパルス信号S12は、発振信号Soutのハイレベル期間と重なっており、OR回路130による合成信号S13の波形に影響しないため、位相の変化に殆ど影響を与えない。次の3周期目（図5c）においては、発振信号Soutと同期信号Sinの位相は一致し、パルス信号S12は生成されない。

【0045】図6は、同期信号Sinの位相が発振信号Soutに対して進んでいる場合の動作を説明する波形図である。図6a～図6cの縦軸は各波形の電圧振幅を示し、横軸は時間を示す。また、図6a～図6cによって発振信号Soutの3周期における各波形の変化を示しており、図6aは時刻0～時刻T、図6bは時刻T～時刻2T、図6cは時刻2T～時刻3Tにおける各波形をそれぞれ示している。

【0046】発振信号Soutより進んで同期信号Sinがローレベルからハイレベルに立ち上がると（時刻t9）、EXOR回路110によって発振信号Soutと同期信号Sinのレベルの不一致が検出されて、出力信号S11がローレベルからハイレベルに立ち上がる。この立ち上がりエッジに同期して、パルス発生回路120によりパルス信号S12が生成される（時刻t10）。これに遅れて発振信号Soutがローレベルからハイレベルに立ち上がると（時刻t11）、発振信号Soutと同期信号Sinのレベルが一致して、信号S11はローレベルになる。

【0047】次いで、同期信号Sinがハイレベルからローレベルに立ち下がると（時刻t12）、EXOR回路110によって発振信号Soutと同期信号Sinの

レベルの不一致が検出されて、出力信号S11がローレベルからハイレベルに立ち上がる。この立ち上がりエッジに同期して、パルス発生回路120によりパルス信号S12が生成される（時刻t13）。

【0048】次の周期（図6b）においては、前の周期の時刻t9から時刻t11に相当する位相において発振信号Soutのパルス幅が延長され、発振信号Soutは同期信号Sinとともにローレベルからハイレベルに立ち上がる（時刻t14）。これは、時刻t10に生成されたパルス信号S12によって発振信号Soutが位相の後退を生じたためである。一方、時刻t13に生成されたパルス信号S12は、発振信号Soutのハイレベル期間と重なっており、OR回路130による合成信号S13の波形に影響しないため、位相の変化に殆ど影響を与えない。同期信号Sinがハイレベルからローレベルに立ち下がると（時刻t15）、EXOR回路110によって発振信号Soutと同期信号Sinのレベルの不一致が検出されて、出力信号S11がローレベルからハイレベルに立ち上がる。この立ち上がりエッジに同期して、パルス発生回路120によりパルス信号S12が生成される（時刻t16）。次の周期（図5c）において、発振信号Soutと同期信号Sinの位相は一致し、パルス信号S12は生成されない。

【0049】図7は、発振信号Soutがパルス信号S12によって位相前進または位相後退を生じる位相シフトの量をシミュレーションした結果を示す図である。左側の縦軸は位相シフトの量を時間で示しており、右側の縦軸は発振信号Soutの電圧振幅を示している。また横軸は発振信号Soutの1周期の時間を示している。図の印×で示すプロットは発振信号Soutの1周期の各タイミングに入力されるパルス信号S12によって発振信号Soutに生じる位相シフトの量を示している。位相シフトの符号がマイナスの場合に位相の前進を、プラスの場合に位相の後退を示している。また、図の実線で示す波形は、発振信号Soutの1周期の波形である。

【0050】図7に示すように、発振信号Soutが立ち上がる位相より進んだタイミングでパルス信号S12が印加された場合、発振信号Soutは位相前進を生じており、遅れたタイミングで印加された場合には位相後退を生じている。そして、発振信号Soutの1周期内において、発振信号Soutがハイレベルになっている期間を除く期間にパルス信号S12が印加された場合、発振信号Soutは位相前進または位相後退の何れかを起こしていることが分かる。すなわち、同期信号Sinに対する発振信号Soutの位相の進みまたは遅れが検出されるタイミングに同期してリング発振回路にパルス信号を印加することにより、発振信号Soutの位相をシフトさせて、同期信号Sinの位相に同期させることが可能であることが、このシミュレーション結果によっ

て確認できる。

【0051】次に、図2に示す位相同期回路において、発振信号Soutの位相が同期信号Sinに同期した場合における動作について説明する。図8は、発振信号Soutの位相が同期信号Sinに同期した場合における動作を説明するための図であり、図8と図2の同一符号は同一の構成要素を示している。

【0052】図8と図2の違いは、図8において、EXOR回路110の2つの入力に発振信号Soutが入力されていることにある。これは、発振信号Soutの位相が同期信号Sinと一致している状態と等価である。この場合、EXOR回路110の出力は常に論理値”0”となり、その結果パルス発生回路120からの出力も常に論理値”0”となって、OR回路130の一方の入力は常に論理値”0”に固定される。したがって、OR回路130は単純な遅延要素となり、位相同期回路は、インバータ141～インバータ14mとOR回路130がリング状に接続されたリング発振回路と等価になる。したがって、その発振周波数は、OR回路130による遅延が無視できる場合、インバータ141～インバータ14mの段数に応じてほぼ決定される。

【0053】図9は、図8に示す回路において、発振信号Soutの波形をインバータの段数に応じてシミュレーションした結果を示す図である。図の縦軸は波形の電圧振幅を示し、横軸は時間を示している。また、実線の波形W15はインバータが15段の場合の波形を、点線の波形W7はインバータが7段の場合の波形をそれぞれ示している。なお、インバータとしては図3bに示すEXOR回路を用いている。

【0054】図9に示すように、立ち上がりおよび立ち下りの波形は共にシャープな波形となり、発振の周期はインバータの段数に比例して長くなっている。段数をより少なくすることによって発振周波数を上げることが可能であるが、周期に対する波形の鈍りが相対的に大きくなるので、波形は正弦波に近づく。なお、図示はしないが、FPGAを用いた実際の回路においても同様の性質を確認することが可能である。ただし、実際のFPGAにおいてはシャープな立ち上がりおよび立ち下り波形とともに、定常期間におけるリングが生ずる場合がある。これは、FPGA内の配線がスイッチを含むために生じる寄生的な効果と考えられる。

【0055】次に、図2に示す位相同期回路に複数の同期信号を入力する場合について説明する。図10は、位相同期回路に複数の同期信号を入力する第1の例を示す回路図である。図10と図2の同一符号は同一の構成要素を示している。その他、図10に示す位相同期回路は、EXOR回路111、パルス発生回路121、およびOR回路131を有する。

【0056】図10と図2の違いは、図2の位相同期回路において、インバータ141～インバータ14mと

もにリング発振回路を構成するOR回路130が1つであるのに対し、図10の位相同期回路においてはこれに加えてOR回路131を有していることにある。そして、このOR回路131に入力される発振信号 S_{out1} と、同期信号 S_{in1} の位相を比較するEXOR回路111、およびこのEXOR回路111の出力信号の立ち上がりに同期したパルス信号を生成してOR回路131に入力するパルス発生回路121が追加されている。

【0057】図10に示す2入力の位相同期回路の場合においても、図5～図7において説明した位相同期機構がそれぞれの同期信号に対して存在する。また、パルス発生回路から出力されるパルス信号のパルス幅は基本的に短く、波形も十分シャープであるので、リング発振回路に印加されるパルス信号間の干渉は無視できる。したがって、2入力の位相同期回路も、図2に示した1入力1出力の場合と同様に、それぞれ対応する同期信号と発振信号との位相が同期するように発振信号の位相がシフトされる性質を有している。この性質は、2入力以上の入力数においても成立する。ただし、図10に示す位相同期回路に入力される同期信号間の相対的な位相差は、対応する発振信号間の相対的な位相差とほぼ等しい必要がある。

【0058】図11は、位相同期回路に複数の同期信号を入力する第2の例を示す回路図である。図11と図2の同一符号は同一の構成要素を示している。その他、図11に示す位相同期回路は、EXOR回路111～EXOR回路11k（kは1より大きい整数を示す）、パルス発生回路121～パルス発生回路12k、およびOR回路13kを有する。

【0059】図11と図2の違いは、図2の位相同期回路において発振信号 S_{out} は1つの同期信号 S_{in} と位相を比較されるのに対して、図11の位相同期回路においては、同期信号 S_{in} に加えてk個の同期信号 S_{in1} ～同期信号 S_{ink} と位相を比較され、比較結果に応じて生成される（k+1）個のパルス信号と発振信号 S_{out} とがOR回路130において論理加算されることにある。

【0060】図11に示す多入力の位相同期回路の場合においても、図5～図7において説明した位相同期機構がそれぞれの同期信号に対して存在する。また、パルス発生回路から出力されるパルス信号のパルス幅は基本的に短く、波形も十分シャープであるので、リング発振回路に印加されるパルス信号間の干渉は無視できる。したがって、それぞれの同期信号と発振信号 S_{out} の位相が同期するように発振信号 S_{out} の位相がシフトされる性質を有している。

【0061】なお、図11に示す多入力の位相同期回路においては、インバータ14mがドライブする回路数が増えるため、EXOR回路の個数によってはインバータのドライブ能力を超えてしまい、リング発振回路の発振

が抑制されてしまうことがある。このような場合、多入力の位相同期回路としては図10に示す構成が望ましい。

【0062】次に、同期信号に対して所定の定常位相差を有する発振信号を生成させる場合について説明する。図12は、同期信号に対して所定の定常位相差を有する発振信号を生成させる回路例を示す図であり、図2と図12の同一符号は同一の構成要素を示している。図12に示す位相同期回路は、図2に示す位相同期回路におけるインバータの段数mが5段になった回路であり、縦続接続されたインバータ141～インバータ145から、それぞれ発振信号 S_{out1} ～発振信号 S_{out5} が出力されている。

【0063】図13は、図12に示す位相同期回路による発振信号 S_{out1} ～発振信号 S_{out5} のタイミングを示す図である。図13に示すように、インバータ141～インバータ145がそれぞれ等しい遅延時間 t_d を有している場合、隣り合うインバータから出力される発振信号はこの遅延時間 t_d の分だけの位相差を有している。すなわち、発振信号 S_{out1} （図13a）と発振信号 S_{out2} （図13b）、発振信号 S_{out2}

（図13b）と発振信号 S_{out3} （図13c）、発振信号 S_{out3} （図13c）と発振信号 S_{out4} （図13d）、ならびに発振信号 S_{out4} （図13d）と発振信号 S_{out5} （図13e）の間に遅延時間 t_d が生じている様子が示されている。さらに、OR回路130の遅延時間がインバータに比べて十分小さいとき、発振信号 S_{out5} （図13e）と発振信号 S_{out1} （図13a）の間に遅延時間 t_d が生じるため、発振信号 S_{out1} ～発振信号 S_{out5} の間によって1周期を5等分した位相のクロック信号が得られる。

【0064】例えばインバータの段数がm段の場合、インバータ間の位相差は1周期をm等分した位相となる。すなわち、クロックの1周期をインバータの段数で割った解像度で、位相の異なる複数のクロック信号を得ることができるので、これにより、周波数が許す限りにおいて任意の位相差を有するクロック信号を得ることができる。

【0065】以上説明したように、第1の実施形態に係る位相同期回路によれば、少なくとも1つの合成部13とインバータ部14とがリング状に接続され、任意の接続ノードから発振信号が出力可能なリング発振回路において、パルス発生部12により発生されたパルス信号と前段のノードからの発振信号とが合成部13により合成されて次段に出力される。また、前段のノードから合成部13に入力される発振信号が同期信号に対して有する位相進みまたは位相遅れが位相比較部11によって検出され、この検出時点に同期したパルス信号がパルス発生部12によって発生されて、合成部13に入力される。このリング発振回路に印加されるパルス信号によって位

相の引き込みが生じ、リング発振回路による発振信号の位相は同期信号の位相と同期する。したがって、論理式によって記述可能なデジタル型の位相同期回路を、従来に比べて簡易な構成によって構成させることができる。これにより集積回路全体の回路規模を小さくすることができ、消費電力の増大やコストの上昇を抑えることができる。

【0066】また、インバータ部14が、所定の遅延特性を有した複数のインバータ回路141～14mによって構成されることにより、各インバータ回路の出力から、所定の位相差を有し、かつ同期信号に位相が同期した複数の発振信号を生成させることができる。

【0067】また、例えばFPGAなどのように、ソフトウェアに応じて回路構成を動的に修正できるデバイス上に位相同期回路を構成させることによって、インバータの段数を任意に変化させることができる。これにより発振信号の周波数を任意に変化させることができる。

【0068】＜第2の実施形態＞次に、上述した位相同期回路を半導体チップ上の集積回路に複数配置し、それぞれの位相同期回路が出力する発振信号を同期信号として他の位相同期回路に入力することにより構成される発振装置について説明する。図14は、本発明の第2の実施形態に係る発振装置を説明するための概略的な第1の構成図である。図14に示す発振装置は、本発明の第1の実施形態において説明した位相同期回路301～位相同期回路306を有しており、それぞれの位相同期ループが出力する発振信号を、同期信号として他の位相同期回路に入力することにより、位相同期回路301～位相同期回路306がリング状に接続されている。

【0069】位相同期回路301～位相同期回路306は、隣の位相同期回路から受けた同期信号に同期させた発振信号をもう一方の隣の位相同期回路に同期信号として入力することにより、1方向へ同期信号を伝播させるループを形成している。そして、各位相同期回路は、リング発振回路の位相引き込み能力によって入力の同期信号と出力の発振信号との位相を同期させるので、位相同期回路間を伝播する同期信号の遅延が許容範囲にあれば、全ての位相同期回路の発振位相を同期させることができる。

【0070】なお、図14に示す位相同期回路305から位相同期回路306への配線のように、1つのループ内で他の配線より数倍程度長い配線が存在し、その配線において位相同期回路の同期能力を越える遅延が生じると、これによって発振装置全体の相互同期が達成できなくなる場合がある。したがって、好適には、以下に説明する図15や図16のような均一の配線網によって位相同期回路間が配線されることが好ましい。ただし、位相同期回路の同期能力を越えない範囲においては、ある程度配線の長さにはばらつきが生じていても発振装置全体の相互同期に影響を与えることはない。すなわち、上述し

た本発明の位相同期回路を相互に接続した発振装置によれば、リング発振回路の出力を直接接続する図22に示した発振装置のように配線長のばらつきがリング発振回路間の発振位相に直接影響を与えることはなく、同期能力を越えない範囲においてばらつきの影響が吸収されて、位相が均一に同期した発振信号を得ることができる。

【0071】図15は、本発明の第2の実施形態に係る発振装置を説明するための概略的な第2の構成図である。図15に示す発振装置は、格子状に配置された本発明の位相同期回路307～位相同期回路315を有しており、それぞれの位相同期ループが出力する1または2の発振信号が、上下左右に隣接する1または2の位相同期回路に同期信号として入力されている。すなわち、位相同期回路307～位相同期回路315が格子状に接続されている。図15において、例えば位相同期回路311のように2つの同期信号を入力し、2つの発振信号を出力する回路として、図10または図11に示す回路が用いられる。

【0072】図16は、本発明の第2の実施形態に係る発振装置を説明するための概略的な第3の構成図である。図16に示す発振装置は、三角形格子状に配置された本発明の位相同期回路316～位相同期回路323を有しており、それぞれの位相同期ループが出力する1ないし3の発振信号が、隣接する1ないし3の位相同期回路に同期信号として入力されている。これにより、位相同期回路316～位相同期回路315が三角形格子状に接続されている。図16においては、例えば位相同期回路320のように3つの同期信号を入力し、3つの発振信号を出力する回路として、上述した多入力多出力の位相同期回路が用いられる。

【0073】上述した図15または図16に示す発振装置においても、各位相同期回路がリング発振回路の位相引き込み能力によって入力の同期信号と出力の発振信号との位相を同期させるので、位相同期回路間を伝播する同期信号の遅延が許容範囲にあれば、全ての位相同期回路の発振位相を同期させることができる。

【0074】ここで3つの位相同期回路をループ状に接続させた場合における各発振信号の具体的な波形について説明する。図17は、3つの位相同期回路をループ状に接続させた場合における各発振信号の波形をシミュレーションした結果を示す波形図である。図17の縦軸は各発振信号の電圧振幅を示し、横軸は時間を示している。また、実線で示す波形W1、短い点線で示す波形W2、および長い点線で示す波形W3は、それぞれ異なる位相同期回路の発振信号波形を示している。

【0075】図17に示すように、初期状態において互いにずれている発振信号W1、発振信号W2および発振信号W3の位相が、数周期のうちに安定状態となって一致し、この位相が保持される様子が示されている。

【0076】図18は、3つの位相同期回路をループ状に接続させた場合における各発振信号の波形を実際のFPGAにおいて観測した波形図である。図18の縦軸は各発振信号の電圧振幅を示し、横軸は時間を示している。なお、各位相同期回路におけるインバータの段数は31段とし、図3bに示したEXOR回路によるインバータを用いている。

【0077】図17に示すように、3つの発振信号(図18a、図18bおよび図18c)の位相はほぼ一致している。波形には若干のリングングが生じているものの、立ち上がり波形および立ち下がり波形はともに急峻であり、相互の位相は同期した状態で安定に保持されていることが確認される。

【0078】ところで図12に示す発振装置は、各位相同期ループが有するリング発振回路の位相引き込み能力を利用して複数のリング発振回路の位相を同期させる点において、上述した図22に示すクロック信号分配方式と共通している。ただし図22と図12とで異なる点は、図12に示す発振装置において、図22に含まれていたアナログ的回路構成が排除されている点にある。図12においては、各位相同期回路が出力する発振信号が隣の位相同期回路の位相比較部に入力されており、図22に示す方式のようにリング発振回路の出力どうしを直接接続するような個所はなく、全ての回路を論理式において記述可能である。

【0079】したがって、例えばFPGAなどのように回路をソフトウェアに応じて自由に修正可能な市販のデバイスによって回路を構成できる。これにより、例えばシステムの起動中に、ソフトウェアに応じて回路の構成を動的に変化させるような動作が可能になる。図19は、1つの半導体チップ上で、複数の異なるクロック信号を持つ集積回路の領域を動的に変化させる場合の動作を説明するための概念図である。本発明のように全ての回路が論理式において記述可能なデジタル回路により構成されていれば、例えばFPGAなどのデバイスを用いることによって、図19に示すように、半導体チップ400上に構成された異なるクロック信号を持つ集積回路の領域501および領域502の配置構成を、状態Aと状態Bとの間で動的に変化させることができる。また同様に、位相同期回路におけるインバータの段数を動的に変更させて、分配するクロック信号の周波数を動的に変更させることも可能である。

【0080】以上説明したように、第2の実施形態に係る発振装置は、第1の実施形態において説明した本発明の位相同期回路により構成されており、それぞれの位相同期回路により生成された発振信号を、同期信号として他の位相同期回路に入力している。したがって、全ての回路を論理式によって記述可能なデジタル回路によって構成でき、これにより、例えばFPGAなどのように回路構成をソフトウェアに応じて自由に修正可能な市販の

デバイスを用いて回路を実現できる。したがって、例えばシステムの起動中に、ソフトウェアに応じて回路の構成を動的に変化させるような動作も可能になる。また、通常の論理回路のシミュレーションを行うことができるので、回路動作の検証が容易になり、設計期間を短縮できる。さらに、従来のデジタル型位相同期回路に比べて回路が簡易であるので、集積回路全体の回路規模を小さくすることができ、消費電力の増大やコストの上昇を抑えることができる。

【0081】また、上記リング発振回路が、所定の遅延特性を有した複数の上記インバータ回路を含むことによって、所定の位相差を有し、かつ互いに位相が同期した複数の発振信号を、これらのインバータ回路の出力から得ることができる。

【0082】また、リング発振回路におけるインバータの段数を、例えばソフトウェアに応じて動的に変更させることにより、発振周波数を可変させることができる。同様にして、回路網の接続を動的に変更させることもできるので、半導体チップ上におけるクロック周波数の異なった複数の領域の配置構成を、ソフトウェアに応じて動的に変更させることができる。

【0083】

【発明の効果】本発明によれば、位相同期回路を論理回路のみによる簡易な構成によって実現できる。これにより、従来に比べて集積回路全体の回路規模を小さくすることができ、消費電力の増大やコストの上昇を抑えることができる。また、回路構成を動的に変化させることで、発振信号の周波数を任意に可変させることができる。また本発明によれば、論理回路のみによる簡易な構成の位相同期回路を複数接続させた発振装置を実現できる。これにより、従来に比べて集積回路全体の回路規模を小さくすることができ、消費電力の増大やコストの上昇を抑えることができる。また、回路構成を動的に変化させることが可能となり、発振信号の周波数を任意に可変させることができる。

【図面の簡単な説明】

【図1】本発明に係る位相同期回路の第1の実施形態を説明するための概略的な構成図である。

【図2】図1に示した位相同期回路の各部を具体例を示す回路図である。

【図3】インバータ141～インバータ14mの例を示す図である。

【図4】パルス発生回路120の構成を示す回路図である。

【図5】同期信号Sinの位相が発振信号Soutに対して遅れている場合の動作を説明する波形図である。

【図6】同期信号Sinの位相が発振信号Soutに対して進んでいる場合の動作を説明する波形図である。

【図7】発振信号Soutがパルス信号S12によって位相前進または位相後退を生じる位相シフトの量をシミ

ミュレーションした結果を示す図である。

【図 8】 発振信号 S_{out} の位相が同期信号 S_{in} に同期した場合における動作を説明するための図である。

【図 9】 図 8 に示す回路において、発振信号 S_{out} の波形をインバータの段数に応じてシミュレーションした結果を示す図である。

【図 10】 位相同期回路に複数の同期信号を入力する第 1 の例を示す回路図である。

【図 11】 位相同期回路に複数の同期信号を入力する第 2 の例を示す回路図である。

【図 12】 同期信号に対して所定の定常位相差を有する発振信号を生成させる回路例を示す図である。

【図 13】 図 12 に示す位相同期回路による発振信号 S_{out1} ~ 発振信号 S_{out5} のタイミングを示す図である。

【図 14】 本発明の第 2 の実施形態に係る発振装置を説明するための概略的な第 1 の構成図である。

【図 15】 本発明の第 2 の実施形態に係る発振装置を説明するための概略的な第 2 の構成図である。

【図 16】 本発明の第 2 の実施形態に係る発振装置を説明するための概略的な第 3 の構成図である。

【図 17】 3 つの位相同期回路をループ状に接続させた場合における各発振信号の波形をシミュレーションした

結果を示す波形図である。

【図 18】 3 つの位相同期回路をループ状に接続させた場合における各発振信号の波形を実際の F P G A において観測した波形図である。

【図 19】 1 つの半導体チップ上で、複数の異なるクロック信号を持つ集積回路の領域を動的に変化させる場合の動作を説明するための概念図である。

【図 20】 従来のアナログ型 P L L 回路の構成例を示す概略的な図である。

【図 21】 従来のデジタル型 P L L 回路の構成例を示す概略的な図である。

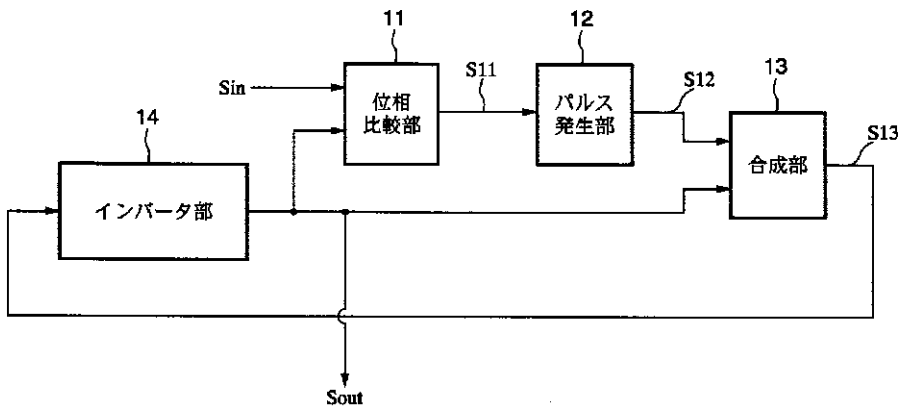
【図 22】 半導体チップ上の集積回路に複数分散されたリング発振回路によりクロック信号を分配する従来の方式を説明するための図である。

【図 23】 半導体チップ上の集積回路に複数分散された P L L 回路によりクロック信号を分配する従来の方式を説明するための図である。

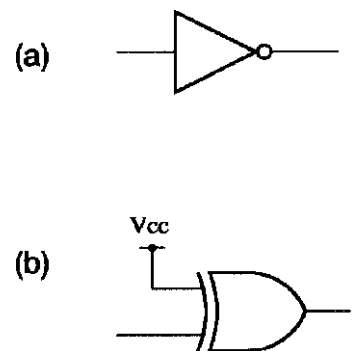
【符号の説明】

1 1 …位相比較部、1 2 …パルス発生部、1 3 …合成部、1 4 …インバータ部、1 1 0 ~ 1 1 k …EXOR 回路、1 2 0 ~ 1 2 k …パルス発生回路、1 3 0, 1 3 1, 1 3 k …OR 回路、インバータ 1 4 1 ~ インバータ 1 4 m、3 0 1 ~ 3 2 3 …位相同期回路

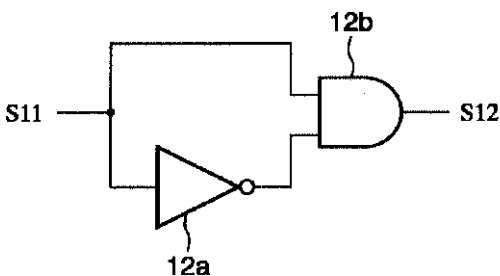
【図 1】



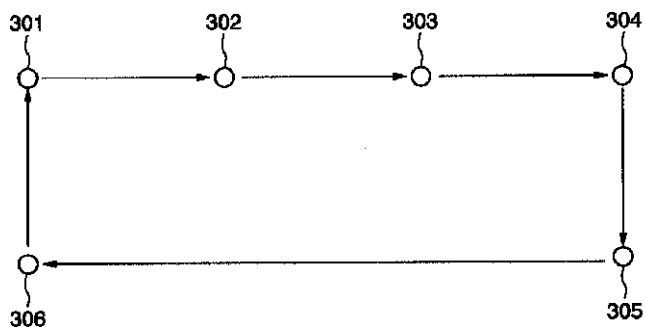
【図 3】



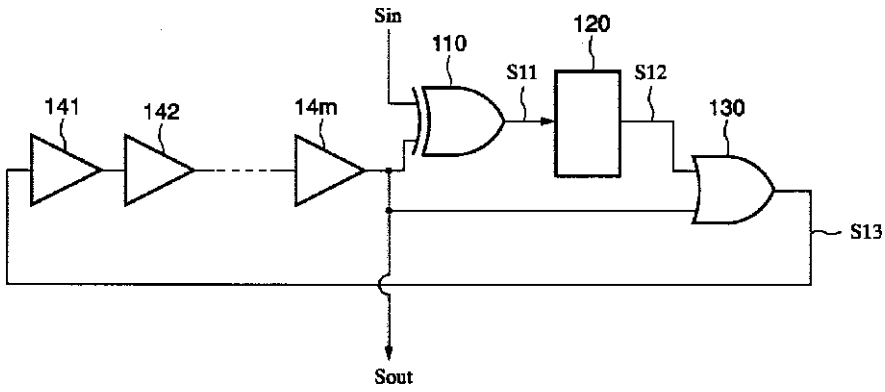
【図 4】



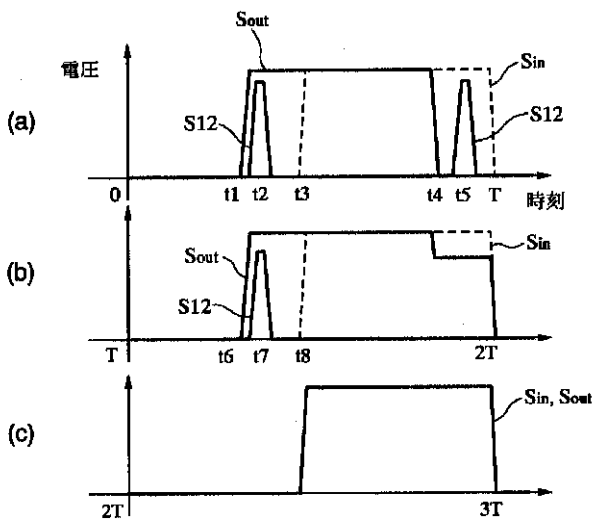
【図 14】



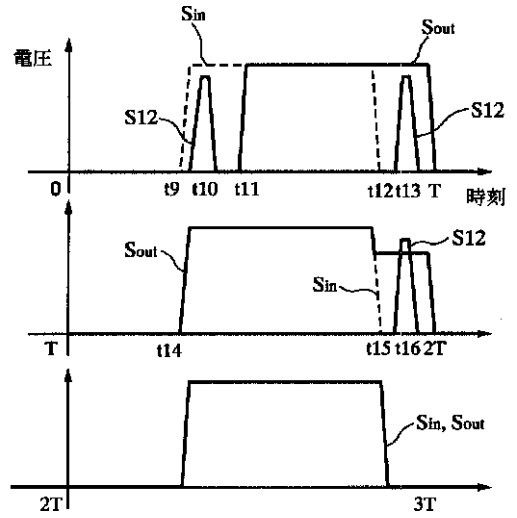
【図2】



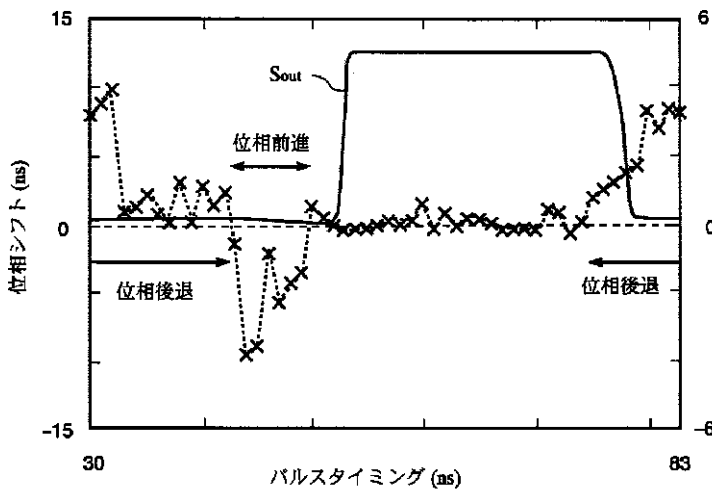
【図5】



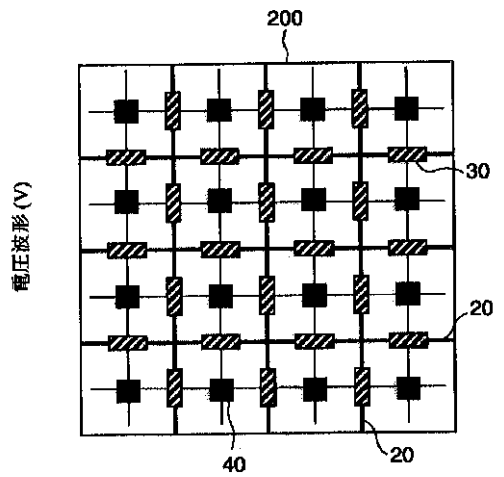
【図6】



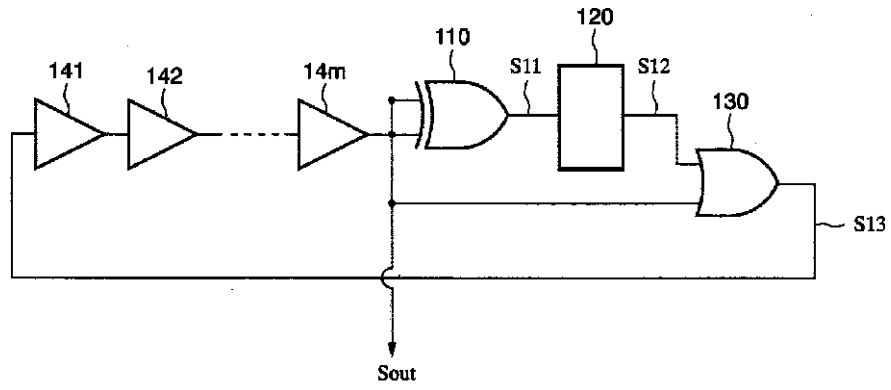
【図7】



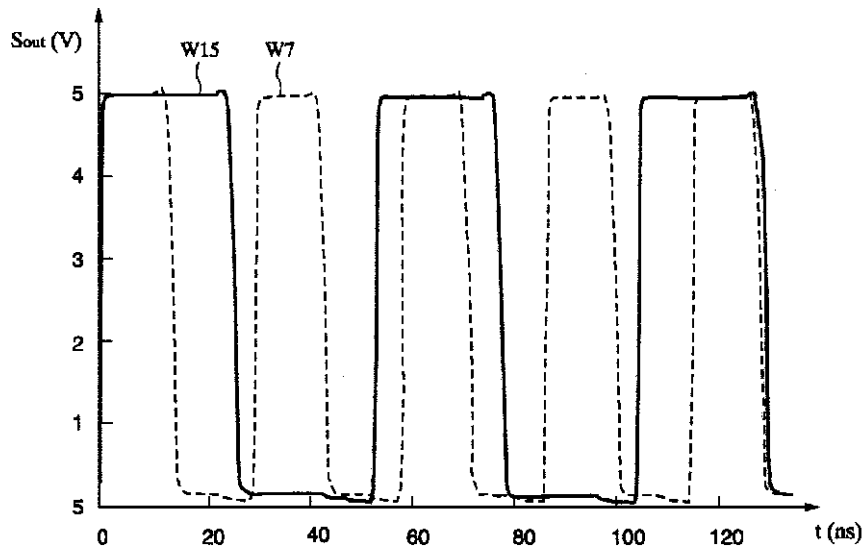
【図23】



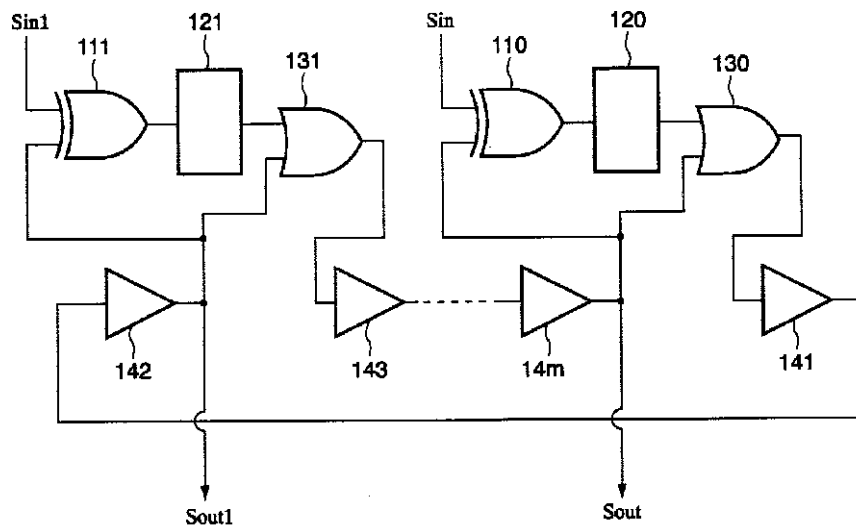
【図 8】



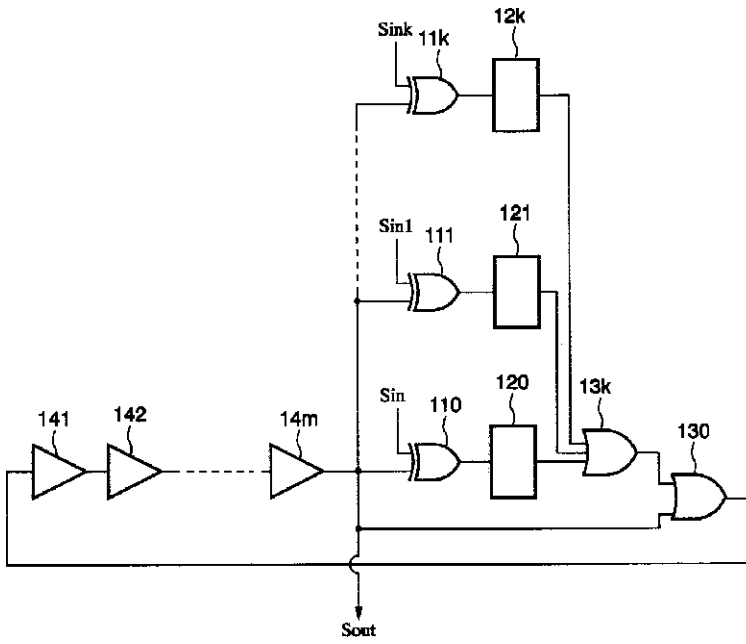
【図 9】



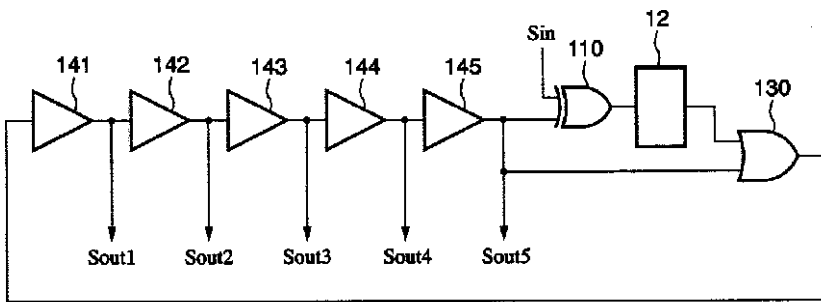
【図 10】



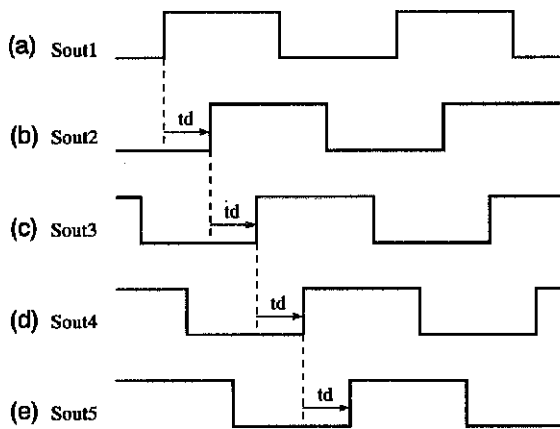
【图 1 1】



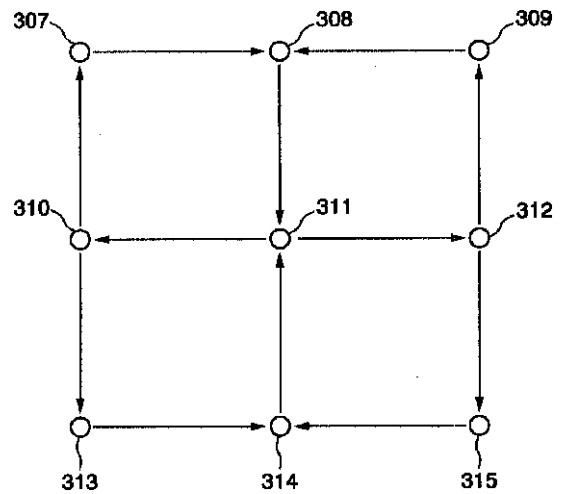
【图 1 2】



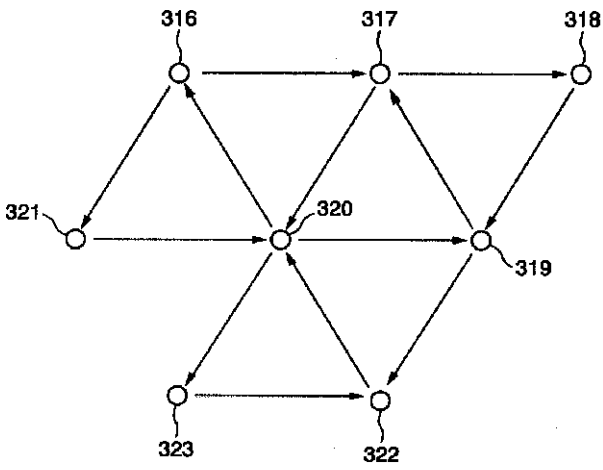
【图 1 3】



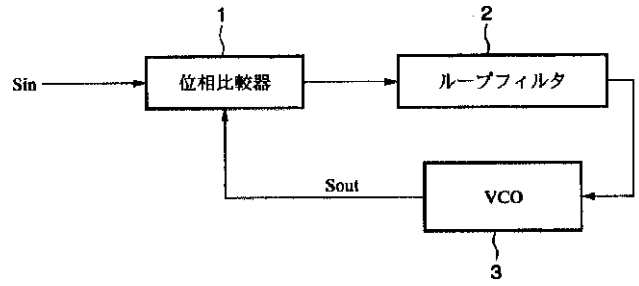
【图 1 5】



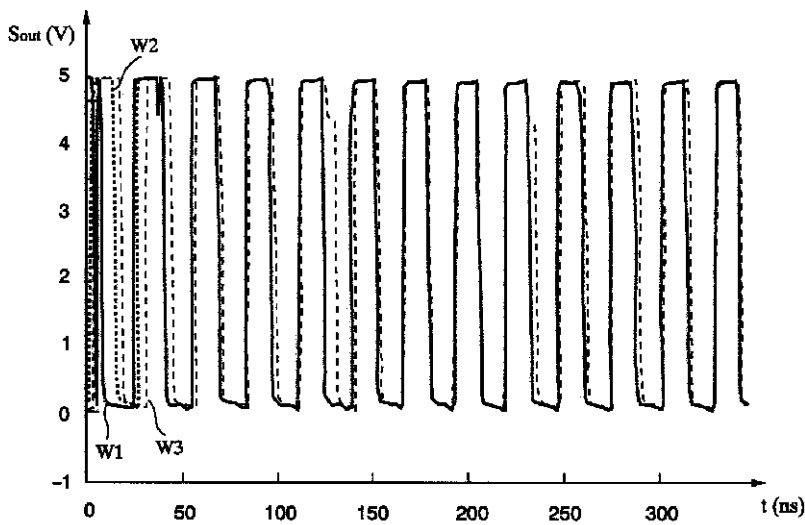
【図16】



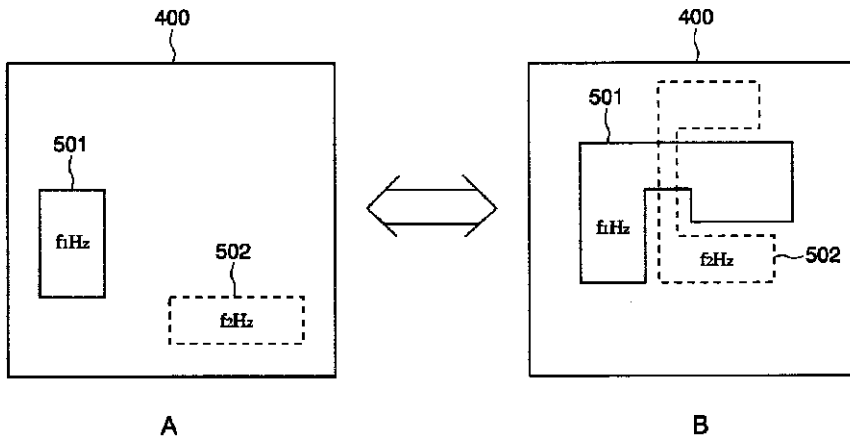
【図20】



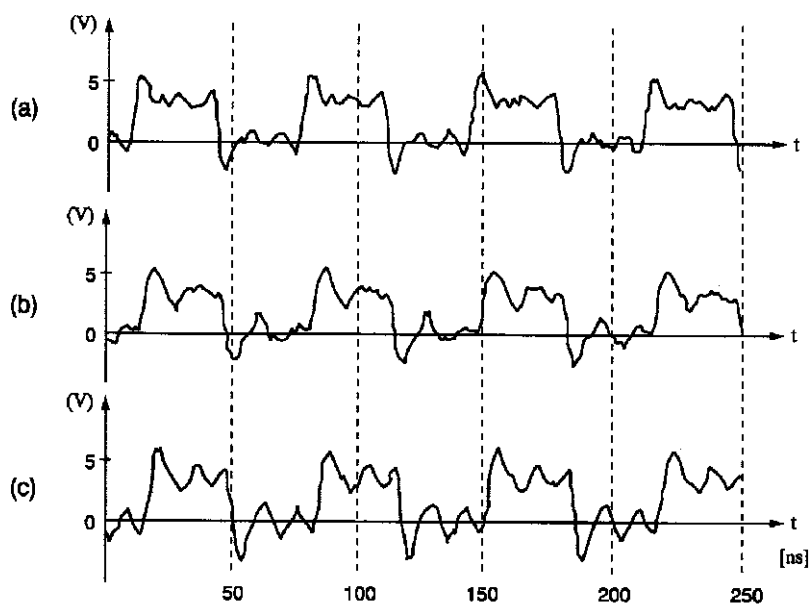
【図17】



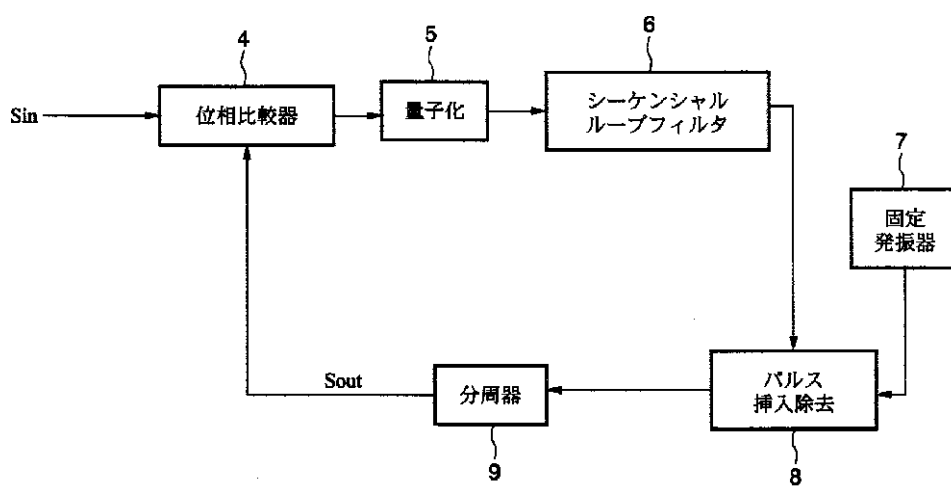
【図19】



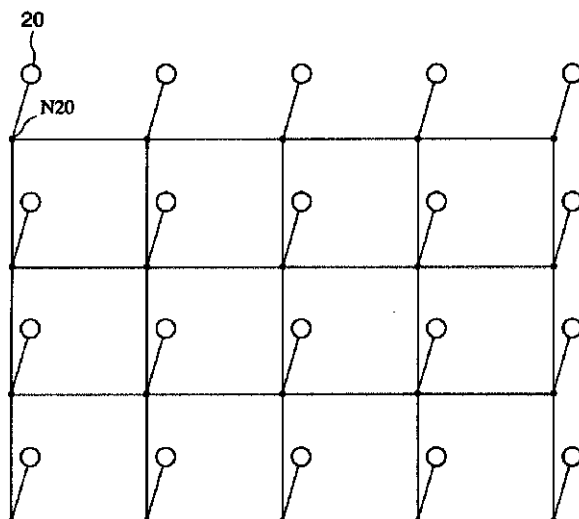
【図18】



【図21】



【図 2 2】



フロントページの続き

(72)発明者 春山 真一郎
東京都品川区東五反田3丁目14番13号 株
式会社ソニーコンピュータサイエンス研究
所内

Fターム(参考) 5J106 AA04 CC06 CC27 DD43 DD46
JJ01 KK03 KK36 KK37 KK38
KK39 KK40